

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163912

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.<sup>6</sup>

H 04 B 1/26

識別記号

F I

H 04 B 1/26

A

審査請求 未請求 請求項の数5 O.L. (全11頁)

(21)出願番号 特願平8-317806

(22)出願日 平成8年(1996)11月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 安田 彰

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

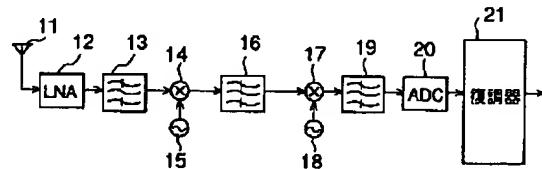
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 サンプリング装置

(57)【要約】

【課題】高精度のミキサ回路や急峻な特性のフィルタを用いることなく、変調信号を低い周波数に変換できるサンプリング装置を提供する。

【解決手段】アンテナ101で受信され低雑音増幅器102およびバンドパスフィルタ103を経て入力された変調信号を第1のサンプルホールド回路104により変調信号の信号帯域より高いサンプリング周波数でサンプリングした後、アナログデシメーションフィルタ105に入力して、折り返しノイズとなる周波数成分を除去し、アナログデシメーションフィルタ105の出力を第2のサンプルホールド回路106により第1のサンプルホールド回路104のサンプリング周波数より低いサンプリング周波数でサンプリングし、A/D変換器107でデジタル化した後、復調器108で復調する。



## 【特許請求の範囲】

【請求項1】入力される変調信号をその信号帯域より高いサンプリング周波数でサンプリングする第1のサンプリング手段と、

前記第1のサンプリング手段の出力を入力とするアナログデシメーションフィルタと、

前記アナログデシメーションフィルタの出力を前記第1のサンプリング手段のサンプリング周波数より低いサンプリング周波数でサンプリングする第2のサンプリング手段とを有することを特徴とするサンプリング装置。

【請求項2】入力される変調信号を順次サンプリングする複数のサンプリング要素により構成され、該変調信号をその信号帯域より高いサンプリング周波数でサンプリングする第1のサンプリング手段と、

前記複数のサンプリング要素の出力にそれぞれ重み付けを行う複数の重み付け手段と、

前記複数の重み付け手段の出力を加算する加算手段と、前記加算手段の出力を前記第1のサンプリング手段のサンプリング周波数より低いサンプリング周波数でサンプリングする第2のサンプリング手段とを有することを特徴とするサンプリング装置。

【請求項3】複数のスイッチおよび該スイッチにそれぞれ直列に接続された複数のキャパシタからなり、入力される変調信号を順次サンプリングする複数のサンプリング要素により構成され、該変調信号をその信号帯域より高いサンプリング周波数でサンプリングすると共に、前記キャパシタの容量によって該複数のサンプリング要素の出力にそれぞれ重み付けを行う第1のサンプリング手段と、

前記複数のサンプリング要素の出力を加算する加算手段と、

前記加算手段の出力を前記第1のサンプリング手段のサンプリング周波数より低い周波数でサンプリングする第2のサンプリング手段とを有することを特徴とするサンプリング装置。

【請求項4】請求項2または3に記載のサンプリング装置を単位サンプリング装置として複数個並列に配置し、これら各単位サンプリング装置における前記第1および第2のサンプリング手段のサンプリング周波数と前記重み付けの重み係数を異ならせたことを特徴とするサンプリング装置。

【請求項5】請求項1～4のいずれか1項に記載のサンプリング装置と、

該サンプリング装置の出力をディジタル信号に変換するA/D変換手段と、

前記A/D変換手段から出力されるディジタル信号を入力として復調を行う復調手段とを有することを特徴とする無線受信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、変調信号を低周波数に周波数変換するのに適したサンプリング装置およびこのサンプリング装置を用いた無線受信装置に関する。

## 【0002】

【従来の技術】携帯電話機その他の移動通信用無線機の受信装置は、一般的に図1に示すように構成される。これはダブルスーパーテロダイൻ方式の無線受信装置であり、アンテナ11で受信された変調信号は低雑音増幅器(LNA)12によって増幅された後、イメージ信号を抑圧するための比較的緩やかな特性のバンドパスフィルタ13に入力される。バンドパスフィルタ13の出力信号は、第1のミキサ14で局部発振器15からのローカル信号とミックスされて、第1中間周波数に周波数変換される。第1のミキサ14の出力信号はIFフィルタ16を経て第2のミキサ17に入力され、局部発振器18からのローカル信号とミックスされて、さらに低い第2中間周波数に周波数変換される。第2のミキサ17の出力信号はIFフィルタ19を経てA/D変換器20に入力され、ディジタル信号に変換される。A/D変換器20から出力されるディジタル信号は、復調器21によって復調される。

【0003】ここで、ミキサ14, 17はアナログ素子により構成されるため、これを小型な構成で実現することは一般に難しい。そこで従来より多くのミキサ回路が提案され、実用化されてきたが、いずれも十分なダイナミックレンジと低歪特性を実現するために消費電流が大きくなったり、回路が複雑になってしまう。

【0004】また、図1のようなダブルスーパーテロダイൻ構成では、受信チャネルの選択および、イメージ信号除去のためIFフィルタ16, 17として急峻な特性のフィルタが必要になる。急峻な特性のフィルタは、多くの場合セラミックフィルタ等の受動部品で構成されるため、サイズが大きなものになってしまい、小型化が要求される携帯機器の無線受信装置のような用途には適さない。

【0005】一方、無線受信装置の別の構成法として、図2に示したダウンサンプリング方式がある。アンテナ21で受信された変調信号は、低雑音増幅器(LNA)22により増幅され、さらにバンドパスフィルタ23により不要な周波数成分が十分に除去された後、A/D変換器24により変調信号の中心周波数より低いサンプリング周波数でダウンサンプリングされ、ディジタル信号に変換される。A/D変換器24から出力されるディジタル信号は、復調器24によって復調される。

【0006】図2の構成によると、ミキサやIFフィルタが不要となるものの、バンドパスフィルタ23でA/D変換器24でのサンプリングにより折り返される雑音信号(以下、折り返しノイズという)を除去する必要があるため、フィルタ23として非常に急峻なフィルタが要求され、同様にサイズが大きなものになってしまう。ま

た、この構成ではA/D変換器24で高いダウンサンプリング比を用いる必要があるため、雑音指数(NF)が悪化することも欠点である。

【0007】

【発明が解決しようとする課題】上述したように従来のダブルスーパーへテロダイൻ方式の無線受信装置では、ミキサに広いダイナミックレンジと低歪特性が要求され、これを実現するために消費電流が大きくなったり、回路が複雑になってしまい、また受信チャネルの選択とイメージ信号除去のために急峻な特性のセラミックフィルタのようなIFフィルタが必要であり、このフィルタのサイズが大きくなってしまうという問題点があった。

【0008】さらに、変調信号をA/D変換器により直接ダウンサンプリングする方式の無線受信装置では、ダウンサンプリングで発生する折り返しノイズの除去のために、RF段にやはりセラミックフィルタのような急峻なフィルタが必要であり、フィルタが大型化し、また高いダウンサンプリング比のために雑音指数が悪化するという問題点があった。

【0009】本発明は、上述した従来の無線受信装置における問題点を解決して、高精度のミキサ回路を用いない簡単な回路構成で、かつ急峻な特性のフィルタを用いることなく、変調信号を低い周波数に変換できるサンプリング装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の課題を解決するため、本発明のサンプリング装置は、受信される変調信号を第1のサンプリング回路において変調信号の信号帯域より高い周波数でオーバサンプリングし、このオーバサンプリングされた信号をアナログデシメーションフィルタに通して、折り返しノイズとなる成分を抑圧した後、第2のサンプリング回路においてダウンサンプリングを行って、変調信号を所要の低周波数に変換することを基本的な特徴とする。アナログデシメーションフィルタは、典型的にはFIRフィルタにより実現できる。

【0011】このサンプリング装置では、従来のヘテロダイൻ方式のように高精度な特性が要求されるミキサ回路が不要となり、またイメージ信号抑圧のための急峻な特性のIFフィルタ機能をアナログデシメーションフィルタに持たせることもできるため、小型化を図ることが可能となる。

【0012】また、アナログデシメーションフィルタは出力は低いサンプリングレートで良いため、動作速度が緩和され、実現が容易であり、さらに消費電力の低減を図ることが可能となる。

【0013】第1のサンプリング回路を複数のサンプリング要素で構成し、これらのサンプリング要素で切り替えて順次変調信号をサンプリングしてもよい。こうすると、単一のサンプリング回路でサンプリングを行う場合に比較して、個々のサンプリング要素のサンプリング周

波数は低減され、実現がより容易となる。

【0014】複数のサンプリング要素で第1のサンプリング回路を構成する場合、各サンプリング要素の出力に重み付けを行って加算すれば、フィルタ特性を付与することができ、これによってアナログデシメーションフィルタを実現することが可能である。

【0015】第1のサンプルホールド回路を構成する複数のサンプリング要素は、複数のスイッチおよびこれらのスイッチにそれぞれ直列に接続された複数のキャパシタとで構成することができる。この場合、キャパシタの容量によって各サンプリング要素の出力に重み付けが可能となる。また、第2のサンプリング回路の後段に△Σ変調器を配置する構成の場合、キャパシタの容量で重み付けられた信号の加算を△Σ変調器内の積分器によって行うこともできる。

【0016】さらに、このような重み付け加算を利用してフィルタ特性を持たせたサンプリング装置を単位サンプリング装置として複数個並列に配置し、これら各単位サンプリング装置における第1および第2のサンプリング回路のサンプリング周波数と重み付けの重み係数を異なせて、それぞれの周波数特性をシフトさせて各々の周波数帯域を異なるバスバンドに設定してもよい。

【0017】この場合、それぞれのフィルタの周波数帯域が隣接するように設定すれば、全体で広い周波数範囲の変調信号を周波数変換することができ、それぞれのフィルタの周波数帯域を変調信号のチャネル間隔で配置すれば、周波数帯域の選択によって受信チャネルの選択が可能となる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

(第1の実施形態) 図3に、本発明の第1の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。アンテナ101で受信された変調信号は低雑音増幅器(LNA)102により増幅された後、イメージ信号を抑圧するための比較的緩やかな特性のバンドパスフィルタ103に入力される。

【0019】バンドパスフィルタ103の出力信号は、第1のサンプルホールド回路104によりオーバサンプリングされる。第1のサンプルホールド回路104のサンプリング周波数fs1は、変調信号の信号帯域fbより高い周波数、さらに具体的にはfbの2倍より高い周波数に選ばれる。すなわち、第1のサンプルホールド回路104は信号帯域に対しては、オーバサンプリングを行う。

【0020】また、変調信号のキャリア周波数finに対して、第1のサンプルホールド回路104のサンプリング周波数をfs1=fin/Nとしたとき、Nを偶数に選んだ場合には、変調信号はサンプルホールド回路104によりDC領域に周波数変換され、Nを整数以外に選んだ

場合には、サンプルホールド回路104により中間周波数(I.F.)に周波数変換される。

【0021】第1のサンプルホールド回路104によりサンプリングされた信号は、アナログデシメーションフィルタ105に入力され、ここで後述する第2のサンプルホールド回路106によるダウンサンプリングによって折り返しノイズとなる周波数成分が減衰される。

【0022】アナログデシメーションフィルタ105の出力信号は、第2のサンプルホールド回路106により、第1のサンプルホールド回路104のサンプリング周波数fs1より低いサンプリング周波数fs2でサンプリング(ダウンサンプリング)され、所望の低い周波数にまで周波数変換される。この場合、アナログデシメーションフィルタ105により折り返しノイズとなる周波数成分が抑圧されているため、第2のサンプルホールド回路106で発生する折り返しノイズは最小限に抑えられる。

【0023】第2のサンプルホールド回路106でダウンサンプリングされた信号は、A/D変換器107でデジタル信号に変換された後、復調器108により復調される。

【0024】本実施形態によると、アナログデシメーションフィルタ105は入力信号であるサンプル値系列を間引いて所望のフィルタ特性を実現するものであり、入力信号のサンプリング周波数fs1は高いが、出力信号のサンプリング周波数は低い。従って、アナログデシメーションフィルタ105は例えばスイッチトキャパシタフィルタ等により構成されるFIRフィルタによって実現が可能であり、ICに内蔵することが容易である。このため、従来のダブルスープーテロダイイン方式やダウンサンプリング方式で必要とした、セラミックフィルタなどで構成されるサイズの大きなI.F.フィルタやバンドパスフィルタが不要となり、小型化を実現することができる。

【0025】また、本実施形態では周波数変換に高精度のミキサ回路を用いないため、この点でも小型化に有利であり、消費電力も低減される。さらに、変調信号は第1のサンプルホールド回路104でDCまたはI.F.帯に周波数変換されているため、第2のサンプルホールド回路106でのダウンサンプリング比fs1/fs2をあまり大きくとる必要がなく、雑音指数の悪化を招くことがない。

【0026】(第2の実施形態)図4に、本発明の第2の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。本実施形態は、図3中の第1のサンプルホールド回路104およびアナログデシメーションフィルタ105の部分を図中200で示す第1のサンプルホールド回路兼フィルタバンク200に置き換えた構成となっている。アンテナ101で受信された変調信号は、低雑音増幅器(LNA)102により増幅された

後、イメージ信号を抑圧するための比較的緩やかな特性のバンドパスフィルタ103に入力される。

【0027】バンドパスフィルタ103の出力信号は、第1のサンプルホールド回路兼フィルタバンク200に入力され、第1の実施形態と同様に変調信号の信号帯域より高いサンプリング周波数fs1でサンプリングされる。第1のサンプルホールド回路兼フィルタバンク200では、入力信号はセレクタ201を介して複数のサンプルホールド回路202-1, 202-2, …, 202-nに順次入力される。この場合、セレクタ201の切り替え周波数がサンプリング周波数fs1となる。サンプルホールド回路202-1, 202-2, …, 202-nの出力信号は、乗算器により構成される重み付け器203-1, 203-2, …, 203-nによって所定の重み係数で重み付けがなされた後、加算器204によって加算される。

【0028】加算器204の出力信号は、第1の実施形態と同様に第2のサンプルホールド回路106によりサンプリング周波数fs2でダウンサンプリングされた後、A/D変換器107でデジタル信号に変換され、さらに復調器108により復調される。

【0029】本実施形態によると、第1のサンプルホールド回路兼フィルタバンク200のサンプリング周波数fs1はセレクタ201の切り替え周波数であり、サンプルホールド回路202-1, 202-2, …, 202-nの個々のサンプリング周波数は、サンプルホールド回路202-1, 202-2, …, 202-nの数をnとして、第1の実施形態における第1のサンプルホールド回路104のサンプリング周波数の1/n(fs1/n)に低減され、実現がより容易となる。

【0030】第1のサンプルホールド回路202-1, 202-2, …, 202-nの出力信号は、重み付け器203-1, 203-2, …, 203-nにより重み付けされ、加算器204により加算される。この重み付けにより、フィルタ特性を付与して加算器204の出力信号の周波数特性を任意に設定できる。例えば、このフィルタ特性をバンドパス特性とすれば、必要とする周波数帯域以外の成分を減衰させることができる。従って、第2のサンプルホールド回路106でダウンサンプリングを行った場合においても、ダウンサンプリングによる折り返しノイズを十分に低減することができる。

【0031】ここで、変調信号のキャリア周波数finと、第1のサンプルホールド回路兼フィルタバンク200のサンプリング周波数(セレクタ201の切り替え周波数)fs1の比をN=fin/fs1とすると、N<0.5の場合は第1のサンプルホールド回路兼フィルタバンク200はキャリア周波数finに対してオーバサンプリングを行う。

【0032】この場合、重み付け器203-1, 203-2, …, 203-nおよび加算器204による重み付

け加算によって、変調信号の信号帯域をパスバンドとするフィルタを構成し、このフィルタで第2のサンプルホールド回路106によりサンプリング周波数  $f_{s2}$  でダウンサンプリングを行うことによる折り返しノイズを低減しつつ、サンプリング周波数を下げることができる。

【0033】ここで、ダウンサンプリング比  $M = f_{s1}/f_{s2}$  を偶数に選んだ場合には、変調信号はベースバンド

信号に変換される。  $M$  を偶数以外に選んだ場合には、変調信号は中間周波数に変換される。このとき、第2のサンプルホールド回路106の出力信号の周波数は、次式で示される。

【0034】

【数1】

$$\begin{aligned} \text{int} \left( \frac{f_{in}}{f_{s1}} \right) : \text{odd} & \quad \left( \text{int} \left( \frac{f_{in}}{f_{s1}} \right) + 1 \right) \frac{f_{s1}}{2m} - f_{in} \\ \text{int} \left( \frac{f_{in}}{f_{s1}} \right) : \text{even} & \quad f_{in} - \text{int} \left( \frac{f_{in}}{f_{s1}} \right) \frac{f_{s1}}{2m} \end{aligned}$$

【0035】一方、  $n > 0, 5$  の場合には、第1のサンプルホールド回路兼フィルタバンク200においてキャリア周波数  $f_{in}$  に対してダウンサンプリングが行われる。この場合、第1のサンプルホールド回路兼フィルタバンク200のサンプリング周波数（セレクタ201の

切り替え周波数）  $f_{s1}$  によるサンプリングによって、受信変調信号の周波数  $f_{in}$  は次式のように周波数  $f_{in2}$  に周波数変換される。

【0036】

【数2】

$$\begin{aligned} \text{int} \left( \frac{f_{in}}{2f_{s1}} \right) : \text{odd} \quad f_{in2} &= \left( \text{int} \left( \frac{f_{in}}{2f_{s1}} \right) + 1 \right) \frac{f_{s1}}{2} - f_{in} \\ \text{int} \left( \frac{f_{in}}{2f_{s1}} \right) : \text{even} \quad f_{in2} &= f_{in} - \text{int} \left( \frac{f_{in}}{2f_{s1}} \right) \frac{f_{s1}}{2} \end{aligned}$$

【0037】ここで、サンプルホールド回路202-1, 202-2, …, 202-nの出力信号に対して、重み付け器203-1, 203-2, …, 203-nおよび加算器204による重み付け加算によって不要周波数成分を除去した後、第2のサンプルホールド回路106

においてサンプリング周波数  $f_{s2}$  でダウンサンプリングすると、周波数  $f_{in2}$  は次式のように周波数  $f_{in3}$  に変換される。

【0038】

【数3】

$$\begin{aligned} \text{int} \left( \frac{f_{in}}{f_{s1}} \right) : \text{odd} \quad f_{in3} &= \left( \text{int} \left( \frac{f_{in}}{f_{s1}} \right) + 1 \right) \frac{f_{s1}}{2m} - f_{in} \\ \text{int} \left( \frac{f_{in}}{f_{s1}} \right) : \text{even} \quad f_{in3} &= f_{in} - \text{int} \left( \frac{f_{in}}{f_{s1}} \right) \frac{f_{s1}}{2m} \end{aligned}$$

【0039】本実施形態によると、第1のサンプルホールド回路203-1, 203-2, …, 203-nと加算器204による重み付け加算によって、不要周波数帯域の成分を減衰させるためのフィルタ特性を実現できる。この場合、第1のサンプルホールド回路203-1, 203-2, …, 203-nおよび加算器204は、ICに内蔵することができるため、従来のダブ

ルスーパーへテロダイン方式やダウンサンプリング方式で必要とした、セラミックフィルタで構成されるサイズの大きなIFフィルタやバンドパスフィルタが不要となり、小型化を実現することができる。

【0040】また、本実施形態では複数（n）の第1のサンプルホールド回路202-1, 202-2, …, 202-nにより変調信号を順次サンプリングすることに

よって、個々のサンプリング周波数を第1の実施形態における第1のサンプルホールド回路104のサンプリング周波数fs1の1/nに下げる事ができるため、回路の実現がさらに容易となる。

【0041】(第3の実施形態)図5に、本発明の第3の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。本実施形態では、図3中の第1のサンプリング回路104、アナログデシメーションフィルタ105および第2のサンプリング回路106の部分が図中300で示す第1、第2のサンプルホールド回路兼フィルタバンクに置き換えられた構成となっている。また、図6は図5の動作を説明するためのタイミング図である。図5において、アンテナ101で受信された変調信号は低雑音増幅器(LNA)102により増幅された後、イメージ信号を抑圧するための比較的緩やかな特性のバンドパスフィルタ103に入力される。

【0042】バンドパスフィルタ103の出力信号は、第1、第2のサンプルホールド回路兼フィルタバンク300に入力される。このサンプルホールド回路兼フィルタバンク300は、複数のキャパシタC11～C1nと該キャパシタC11～C1nに直列に接続されたサンプリング用スイッチSW11～SW1nとで構成される複数のサンプルホールド回路と、これらのサンプルホールド回路の共通入力側および共通出力側に直列に挿入されたスイッチSW1、SW2と、演算増幅器OAとその反転入力端子と出力端子間に並列に接続されたサンプリング用スイッチSW3およびキャパシタC2とで構成される第2のサンプルホールド回路とからなる。

【0043】スイッチSW1、SW11～SW1n、SW2、SW3は、図6に示すクロックCK1、CK11～CK1n、CK2、CK3によりそれぞれ制御され、対応するクロックが高レベルのときオン、低レベルのときオフとなる。

【0044】まず、クロックCK1が高レベルとなることによりスイッチSW1がオンとなり、この間にクロックCK11～CK1nが順次高レベルとなることにより、スイッチSW11～SW1nがオンとなって、入力信号(バンドパスフィルタ103の出力信号)がキャパシタC11～C1nに順次印加される。スイッチSW11～SW1nは、クロックCK11～CK1nが順次低レベルとなることにより順次オフしていく。このようにして入力信号がスイッチSW11～SW1nによりクロックCK11～CK1nの時間間隔でサンプリングされ、キャパシタC11～C1nにホールドされる。

【0045】次に、クロックCK1が低レベルとなり、スイッチSW1がオフとなった後、クロックCK11～CK1nが同時に高レベルとなって再びスイッチSW11～SW1nがオンになると共に、クロックCK2が高レベルとなってスイッチSW2がオンとなることにより、キャパシタC11～C1nの蓄積電荷はキャパシタ

C2に転送されて加算される。このときクロックCK3は低レベルであり、キャパシタC2に並列に接続されているスイッチSW3はオフである。

【0046】こうしてキャパシタC2でキャパシタC11～C1nの蓄積電荷が加算された後、クロックCK3が高レベルとなってスイッチSW3がオンとなることによりキャパシタC2がリセットされると共に、上記と同様の動作が繰り返される。

【0047】第1のサンプルホールド回路のサンプリング周波数fs1は、クロックCK1が高レベルでスイッチSW1がオンの期間におけるクロックCK11～CK1nの立ち上がりの時間間隔で決まり、これは受信変調信号の信号帯域より高く選ばれる。また、第2のサンプルホールド回路のサンプリング周波数fs2は、クロックCK3の周期で決まり、これは第1のサンプルホールド回路のサンプリング周波数fs1より低くなる。

【0048】本実施形態では、キャパシタC11～C1nの容量を異ならせて、第1のサンプルホールド回路の出力に重み付けを行うことにより、積和演算を行うことができる。すなわち、キャパシタC11～C1nとサンプリング用スイッチSW11～SW1nとで構成される複数の第1のサンプルホールド回路にフィルタ特性を持たせることができる。

【0049】このとき、スイッチSW11～SW1nによるサンプリングは非常に高速に行われる必要があるが、スイッチSW2がオンのときの電荷の転送は、第2のサンプルホールド回路でのダウンサンプリングのサンプリング周波数で行えばよいので、演算増幅器OAは動作速度の遅いものでよい。スイッチをCMOSトランジスタで構成した場合、スイッチがオフするときの速度は非常に早いため、高速なサンプリングを実現することができる。

【0050】また、スイッチをオフするタイミングはCMOSトランジスタのゲート・ソース間電圧Vgsで決まるので、入力信号電圧に影響を受けず高精度なサンプリングを行うことができる。

【0051】さらに、キャパシタC11～C1nのチャージアップはサンプリング時間よりも長い時間にわたって行うことができるので、キャパシタC11～C1nとスイッチSW11～SW1nの時定数による影響を低減することもできる。

【0052】このように本実施形態によると、現在の技術で高速なサンプリングおよび帯域外周波数成分の除去を容易に実現可能とすることができる。

(第4の実施形態)図7に、本発明の第4の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。本実施形態では、第3の実施形態におけるスイッチSW1、キャパシタC11～C1n、スイッチSW11～SW1n、スイッチSW2、キャパシタC2、スイッチSW3、演算増幅器OAで構成される第1、第2のサ

ンプルホールド回路兼フィルタバンク300を300-1, 300-2, …, 300-mのように複数(m)個並列に配置している。サンプルホールド回路兼フィルタバンク300-1, 300-2, …, 300-mの出力端とA/D変換器107の入力端の間には、スイッチ301-1, 301-2, …, 301-mがそれぞれ挿入され、スイッチ301-1, 301-2, …, 301-mによって第1、第2のサンプルホールド回路兼フィルタバンク300-1, 300-2, …, 300-mの出力信号が順次A/D変換器107に入力される。

【0053】先に説明した第3の実施形態においてフィルタ特性を急峻にする必要がある場合には、第1のサンプルホールド回路の個数、すなわちサンプリング用スイッチSW1 1～SW1 nおよびキャパシタC 1 1～C 1 nの個数(n)を増やして、重み付けの係数を増やせばよいが、nをfs1/fs2以上にまで増やすことはできない。nをfs1/fs2以上とする場合には、第1のサンプルホールド回路の1個当たりのサンプリング周期がfs2の周期以上となってしまい、キャパシタC 1 1～C 1 nの全ての蓄積電荷をキャパシタC 2で加算することができなくなり、正常動作が得られなくなるからである。

【0054】これに対し、本実施形態のように第3の実施形態における第1、第2のサンプルホールド回路兼フィルタバンク300と同様の構成からなる複数(m)のサンプルホールド回路兼フィルタバンク300-1, 300-2, …, 300-mを用い、これらを並列配置して順次動作させる構成とすれば、フィルタ特性を決める第1のサンプルホールド回路の総数はn×mとなるので、nを必要以上に大きくすることなく、すなわち正常動作を維持しつつ、第3の実施形態よりも急峻なフィルタ特性を実現することができる。

【0055】従って、本実施形態によるとチャネル選択フィルタのような特性をも実現することが可能となって、従来必要であった高価なIFフィルタが不要になり、コストの低減を図ることができる。

【0056】(第5の実施形態)図8に、本発明の第5の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。本実施形態は、複数(m)個の第1のサンプルホールド回路兼フィルタバンク200-1～200-mおよび第2のサンプルホールド回路106-1～106-mを並列に配置し、それぞれのフィルタのパスバンド周波数をシフトすることにより、広い周波数範囲の変調信号を周波数変換できるようにした点がこれまでの実施形態と異なっている。

【0057】バンドパスフィルタ103の出力信号は、第1のサンプルホールド回路兼フィルタバンク200-1～200-mのそれぞれにおいて、セレクタ201を介して第1のサンプリング回路202-1, 202-2, …, 202-nに順次入力されてサンプリングされ、さらに重み付け器203-1, 203-2, …, 2

03-nにより重み付けがなされた後、加算器204で加算されることによりフィルタリングが行われる。

【0058】ここで、第1のサンプルホールド回路兼フィルタバンク200-1～200-mのそれぞれにおけるフィルタの重み付けの重み係数を異ならせてそれぞれの周波数特性をシフトさせ、それぞれ異なる周波数帯域にパスバンドを設定する。この場合、それぞれのフィルタの周波数帯域が隣接するように設定すれば、全体で広い周波数範囲の変調信号を周波数変換することができる。それぞれのフィルタの周波数帯域を変調信号のチャネル間隔で配置すれば、使用するバンクにより受信チャネル(受信周波数)の選択を行うことができる。

【0059】従来のスーパーヘテロダイൻ方式あるいはダブルスーパーヘテロダイൻ方式では、局部発振器の周波数を可変することにより受信チャネルを設定していたが、本実施形態によれば可変周波数の局部発振器を用いることなく受信チャネルの選択を行うことができる。すなわち、従来必要であったPLL回路を用いた高価な可変周波数の局部発振器が不要になる。また、周波数切り替え時間が遅いPLL回路を使用しないため、高速に受信チャネルを切り替えることが可能であり、さらにPLL回路を使用しないために消費電力を低減できるという効果もある。

【0060】(第6の実施形態)図9に、本発明の第6の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示す。本実施形態では、第3の実施形態における演算増幅器OA等で構成される第2のサンプルホールド回路を△Σ変調器400の初段の積分器401を利用して実現している。

【0061】すなわち、△Σ変調器400は入力信号を積分器401で積分した後、コンパレータ402で1ビット量子化を行い、コンパレータ402の出力を1サンプリング周期の遅延器403および1ビットD/A変換器404を経て積分器401に負帰還する構成であり、コンパレータ402から出力を取り出す構成であり、この出力が復調器21に入力される。積分器401は演算増幅器OAとキャパシタC 2で構成されるため、これを第2のサンプルホールド回路としても動作させることができる。

【0062】本実施形態の基本動作は、第3の実施形態と同様である。すなわち、バンドパスフィルタ103の出力信号は、サンプルホールド回路兼フィルタバンクに入力される。サンプルホールド回路兼フィルタバンクは、複数のキャパシタC 1 1～C 1 nと該キャパシタC 1 1～C 1 nに直列に接続されたサンプリング用スイッチSW1 1～SW1 nとで構成される複数の第1のサンプルホールド回路と、この複数の第1のサンプルホールド回路の共通入力側および共通出力側に直列に挿入されたスイッチSW1, SW2と、△Σ変調器400内の積分器401を構成する演算増幅器OAとその反転入力端

子と出力端子間に並列に接続されたキャパシタC2とで構成される第2のサンプルホールド回路からなる。

【0063】スイッチSW1, SW11～SW1n, SW2, SW3は、図10に示すクロックCK1, CK11～CK1n, CK2, CK3によりそれぞれ制御され、対応するクロックが高レベルのときオン、低レベルのときオフとなる。

【0064】まず、クロックCK1が高レベルとなることによりスイッチSW1がオンとなり、この間にクロックCK11～CK1nが順次高レベルとなることにより、スイッチSW11～SW1nがオンとなって、入力信号（バンドパスフィルタ103の出力）がキャパシタC11～C1nに順次印加される。スイッチSW11～SW1nは、クロックCK11～CK1nが順次低レベルとなることにより順次オフされていく。このようにして入力信号がスイッチSW11～SW1nによりクロックCK11～CK1nの時間間隔でサンプリングされ、キャパシタC11～C1nにホールドされる。

【0065】次に、クロックCK1が低レベルとなり、スイッチSW1がオフとなった後、クロックCK11～CK1nが同時に高レベルとなって再びスイッチSW11～SW1nがオンになると共に、クロックCK2が高レベルとなってスイッチSW2がオンとなることにより、キャパシタC11～C1nの蓄積電荷は△Σ変調器400内の積分器401を構成するキャパシタC2に転送されて加算される。

【0066】複数の第1のサンプルホールド回路のサンプリング周波数は、クロックCK1が高レベルでスイッチSW1がオンの期間におけるクロックCK11～CK1nの立ち上がりの時間間隔で決まり、これは受信変調信号の信号帯域より高く選ばれる。また、第2のサンプルホールド回路のサンプリング周波数は、クロックCK3の周期で決まり、これは第1のサンプルホールド回路のサンプリング周波数より低くなる。

【0067】また、第3の実施形態と同様に、キャパシタC11～C1nの容量を異ならせて、第1のサンプルホールド回路の出力に重み付けを行うことにより、積和演算を行うことができる。すなわち、キャパシタC11～C1nとサンプリング用スイッチSW11～SW1nとで構成される複数の第1のサンプルホールド回路にフィルタ特性を持たせることができる。

【0068】このとき、スイッチSW11～SW1nによるサンプリングは非常に高速に行われる必要があるが、スイッチSW2がオンのときの電荷の転送は、第2のサンプルホールド回路でのダウンサンプリングのサンプリング周波数で行えばよいので、演算増幅器OAは低速のものでよい。スイッチをCMOSトランジスタで構成した場合、スイッチがオフするときの速度は非常に早いため、高速なサンプリングを実現することが可能である。

【0069】また、スイッチをオフするタイミングはCMOSトランジスタのゲート・ソース間電圧Vgsで決まるため、入力信号電圧に影響を受けず高精度なサンプリングを行うことができる。

【0070】さらに、キャパシタC11～C1nのチャージアップはサンプリング時間よりも長い時間にわたって行うことができるので、キャパシタC11～C1nとスイッチSW11～SW1nの時定数による影響を低減することもできる。

【0071】このように本実施形態によると、第3の実施形態と同様に、現在の技術で高速なサンプリングおよび帯域外の周波数成分の除去を容易に実現可能とすることができる。さらに本実施形態においては、△Σ変調器400を用いる場合、これにスイッチSW1, SW11～SW1n, SW2およびキャパシタC11～C1nを追加するだけで、アナログデシメーションフィルタおよびダウンサンプリング回路を構成でき、回路構成を簡略化することができる。

【0072】なお、図9の△Σ変調器400では、積分器が一つの1次のものについて説明したが、積分器の接続個数は一つに限定されるものではなく、2次以上の高次の△Σ変調器を用いてもよい。

【0073】以上、本発明を無線受信装置に適用した例について説明したが、本発明によるサンプリング装置は、無線受信装置以外のサンプリング装置に適用可能であり、なんら用途に制限を受けるものではない。

【0074】

【発明の効果】以上説明したように、本発明によれば受信される変調信号を第1のサンプリング回路において変調信号の信号帯域より高い周波数でオーバサンプリングし、このオーバサンプリングされた信号をアナログデシメーションフィルタに通して、折り返しノイズとなる成分を抑圧した後、第2のサンプリング回路においてダウンサンプリングを行って、変調信号を所要の低周波数に変換することにより、従来のヘテロダイン方式のように高精度な特性が要求されるミキサ回路が不要となり、イメージ信号抑圧のための急峻な特性のIFフィルタの機能をアナログデシメーションフィルタに持たせることもでき、小型化を図ることが可能となる。

【0075】また、アナログデシメーションフィルタは出力は低いサンプリングレートで良く、動作速度が緩和されるため、従来の無線受信装置で使用されていたセラミックフィルタなどに比較してその実現が容易であり、さらに消費電力の低減を図ることが可能となる。

【0076】第1のサンプリング回路を複数のサンプリング要素で構成し、これらのサンプリング要素で切り替えて順次変調信号をサンプリングする構成とすれば、個々のサンプリング要素のサンプリング周波数は低減され、回路の実現がさらに容易となる。また、このように複数のサンプリング要素で第1のサンプリング回路を構

成する場合、各サンプリング要素の出力に重み付けを行って加算すれば、フィルタ特性を付与することができ、これによってアナログデシメーションフィルタを実現することが可能である。

【0077】さらに、第1のサンプルホールド回路を構成する複数のサンプリング要素を複数のスイッチおよびこれらのスイッチにそれぞれ直列に接続された複数のキャパシタとで構成すると、キャパシタの容量によって各サンプリング要素の出力に重み付けが可能であり、第2のサンプリング回路の後段に配置される $\Delta\Sigma$ 変調器内の積分器によって、キャパシタの容量で重み付けられた信号の加算を実現して回路構成の簡略化を図ることもできる。

【0078】また、本発明のサンプリング装置を単位サンプリング装置として複数個並列に配置し、これら各単位サンプリング装置における第1および第2のサンプリング回路のサンプリング周波数と重み付けの重み係数を異ならせて、それぞれの周波数特性をシフトさせて各々の周波数帯域を異なるパスバンドに設定すれば、全体で広い周波数範囲の変調信号を周波数変換したり、どの周波数帯域を選ぶかによって受信チャネルの選択を行うことが可能となる。

【図面の簡単な説明】

【図1】従来のダブルスープーヘテロダイン方式による無線受信装置の構成を示すブロック図

【図2】従来のダウンサンプリング方式による無線受信装置の構成を示すブロック図

【図3】本発明の第1の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示すブロック図

【図4】本発明の第2の実施形態に係るサンプリング装

置を用いた無線受信装置の構成を示すブロック図

【図5】本発明の第3の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示すブロック図

【図6】図5の動作を説明するためのタイミング図

【図7】本発明の第4の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示すブロック図

【図8】本発明の第5の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示すブロック図

【図9】本発明の第6の実施形態に係るサンプリング装置を用いた無線受信装置の構成を示すブロック図

【図10】第9図の動作を説明するためのタイミング図

【符号の説明】

101…アンテナ

102…低雑音増幅器

103…バンドパスフィルタ

104…第1のサンプルホールド回路

105…アナログデシメーションフィルタ

106, 106-1~106-m…第2のサンプルホールド回路

107, 107-1~107-m…A/D変換器

108…復調器

200, 200-1~200m…第1のサンプルホールド回路兼フィルタバンク

300, 300-1~200m…第1、第2のサンプルホールド回路兼フィルタバンク

400… $\Delta\Sigma$ 復調器

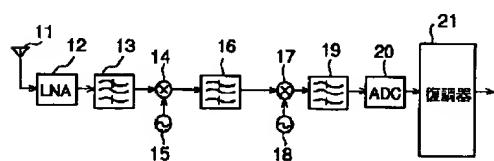
401…積分器

402…コンバレータ

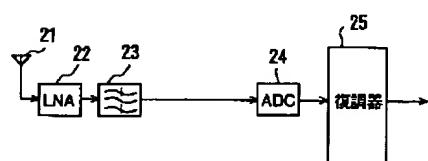
403…遅延器

404…1ビットD/A変換器

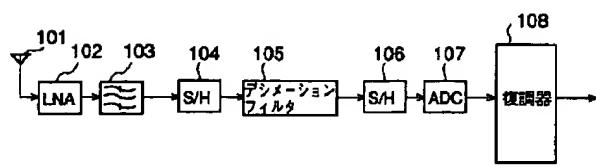
【図1】



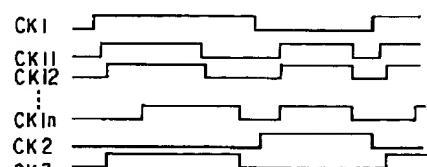
【図2】



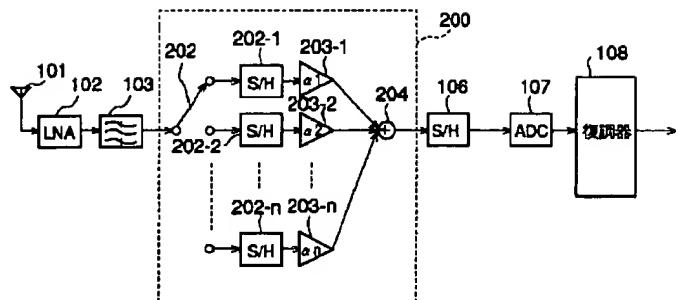
【図3】



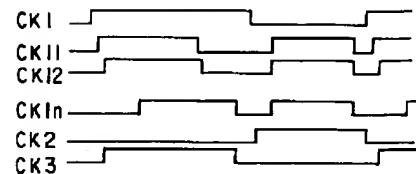
【図6】



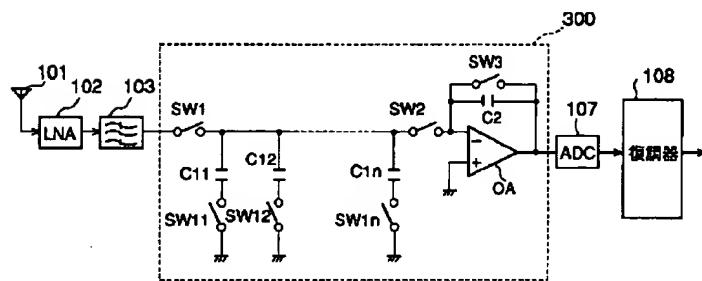
【図4】



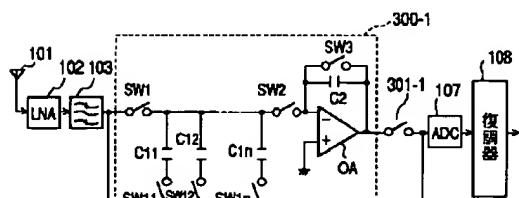
【図10】



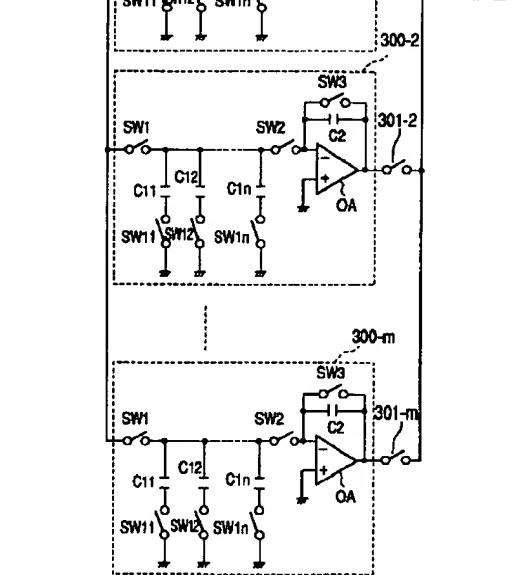
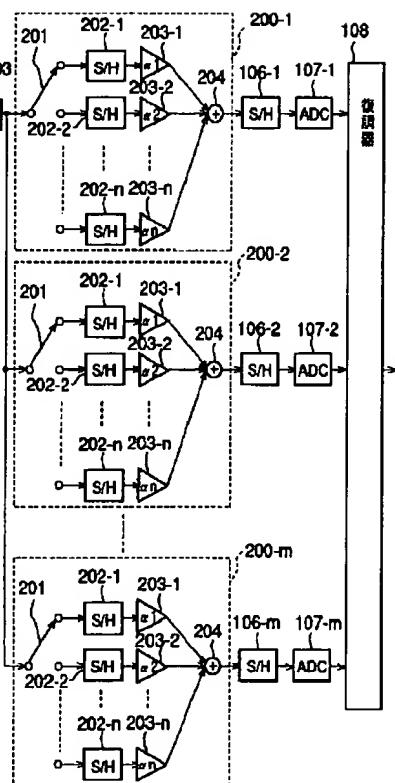
【図5】



【図7】



【図8】



【図9】

